

2. フォトカプラの応用回路設計

前節では、汎用形フォトカプラ、高速 IC フォトカプラ、大容量・高機能 AC パワーカプラ、フォトボルカプラを概説し、回路設計する場合に必要な基本特性を述べてきました。

本節では、設計法と具体的な計算例を掲げてフォトカプラを示し、最後に代表的な応用例を紹介します。

2.1 入力回路

2.1.1 直流電圧駆動

スイッチの開閉により電源を ON、OFF することで駆動電流を制御する例を図 2.1.1 に示します。

この場合、抵抗 R は、

$$R = \frac{V_{IN} - V_F}{I_F}$$

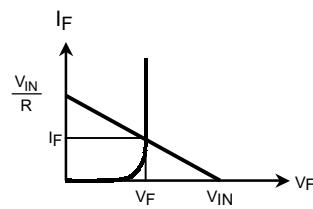
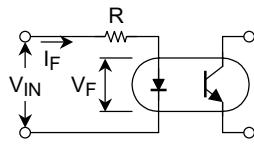


図 2.1.1

となります。例えば、 $I_F = 10 \text{ mA}$ で $V_F(\max) = 1.35 \text{ V}$ とした場合、

$V_{IN} = 5 \text{ V}$ のとき、R は

$$R = \frac{(5 - 1.35) \text{ V}}{10 \text{ mA}} = 365 \Omega$$

となり、 $R = 360 \Omega$ にします。 V_F のバラツキや温度依存性のため、仮に $V_F = 0.9 \text{ V}$ となった場合、 $I_F \approx 11.4 \text{ mA}$ となります。

2.1.2 逆電圧保護

発光ダイオードに逆方向サージ電圧が加わる場合は、図 2.1.2 のように発光ダイオードに Si ダイオード（例えば、1S1588 または可視および赤外発光ダイオード）を逆並列接続し、発光ダイオードに逆耐圧以上の逆電圧が印加されないようにしてください。

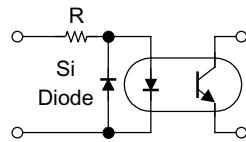


図 2.1.2

2.1.3 スレッショルド電圧

入力電圧が完全にゼロになりきれないときや、データ伝送ラインに不要電流があるレベルまで定常に流れれるような場合、発光ダイオードに対して並列抵抗 (R_S) を接続することでスレッショルド電圧を高くすることができます(図 2.1.3)。

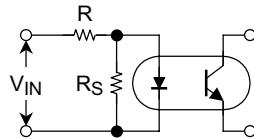


図 2.1.3

非発光順電圧を V_T とした場合、オフレベル入力電圧 V_{IN} (OFF) は、

$$V_{IN}(\text{OFF}) \approx V_T + R \cdot \frac{V_T}{R_S} = \left(1 + \frac{R}{R_S}\right) V_T$$

となります。

また、オフレベル入力電流 I_{IN} (OFF) は、

$$I_{IN}(\text{OFF}) \approx \frac{V_T}{R_S}$$

となります。なお、当社の赤外発光ダイオードの非発光順電圧は

$$V_T \approx 0.5 \text{ V}$$

2.1.4 トランジスタまたは IC による駆動

図 2.1.4 にトランジスタおよび IC で駆動する場合の例を示します。

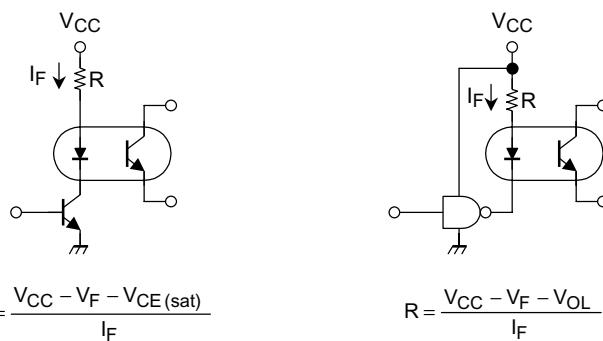


図 2.1.4

2.1.5 交流電圧による駆動

この場合は整流ブリッジを図 2.1.5 のように使用します。

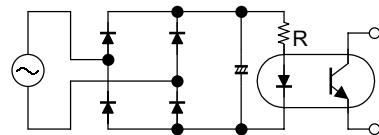


図 2.1.5

2.2 フォトトランジスタカプラの出力回路

2.2.1 ベース端子の使い方

フォトトランジスタの出力トランジスタは、ベース電流として赤外 LED からの光信号を受光することによりトランジスタ動作を行うため、通常、ベース端子は不要ですから、ベース端子のない製品を使用します。しかし、暗電流の改善、順電流スレッショルド動作、リニアリティの改善、スイッチングスピードの改善などをするときはベース端子を活用します。

(1) 暗電流の改善

出力フォトトランジスタの暗電流は、温度に対して指数関数で増加します。この影響は、図 2.2.1 の回路を用いますと、出力側の電圧レベルを下げてしまい、後段の回路へ誤った信号を伝達する可能性があります。そこで、ベースエミッタ間に抵抗を加え、コレクタベース接合の漏れ電流 I_{CBO} を R_{BE} へ流してしまうことによって暗電流を消滅させ、後段への悪影響をなくすことができます。図 2.2.2 に $I_D - R_{BE}$ 特性例を示します(詳細データは、各個別資料を参照願います)。

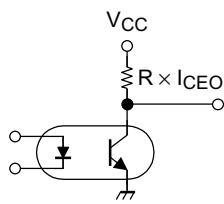


図 2.2.1

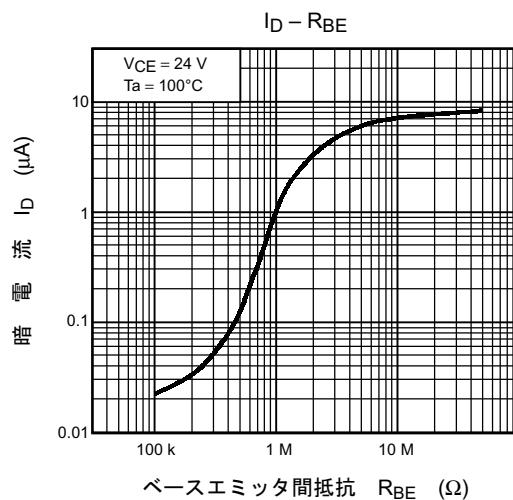


図 2.2.2

(2) 順電流スレッショルド動作

フォトトランジスタカプラの入力順電流 I_F と、出力側のコレクタ電流 I_C の関係を図 2.2.3 に示します。ベースエミッタ間抵抗 R_{BE} を加えると、図 2.2.4 の光電流 I_{PB} が R_{BE} にバイパスし、 V_{BE} ON 電圧まではコレクタ電流が流れなくなります。例えば $R_{BE} = 0.2 \text{ M}\Omega$ では、 $I_F = 1 \text{ mA}$ のときコレクタ電流 $I_C < 0.1 \text{ mA}$ となっており、 $R_{BE} = \infty$ の場合の十分の 1 にコレクタ電流が低下します。よって、適切な R_{BE} 抵抗を加えることにより、順電流のスレッショルド動作ができるようになります。これは入力側のノイズ信号に対する誤動作防止に有効です。

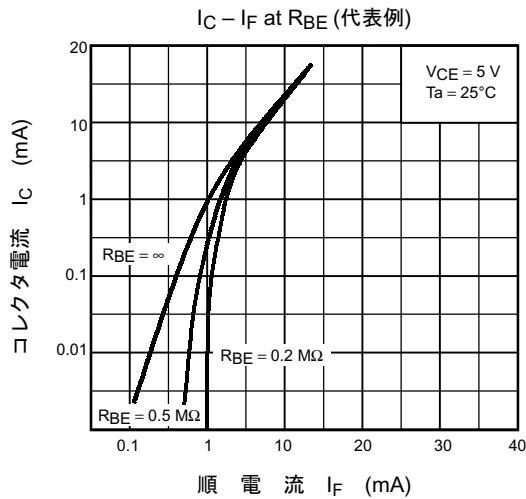


図 2.2.3

(3) リニアリティの改善

出力フォトトランジスタ電流は、光电流 I_{PB} をトランジスタの hFE で増幅するため大きな電流となります。しかし、 hFE の I_{PB} 依存性、 V_{CE} 依存性、温度依存性などの変動要因が存在し、コレクタ電流は、不安定になります。

よってリニア的に活用する場合、通常、コレクタ電位は、電源電圧の半分程度に設定しますが、上記理由のため動作点のずれが発生します。

このような対策としては、図 2.2.5 のように、ブリーダ方式を用いることで、直流バイアスをかけ、コレクタ電位を安定化できます。

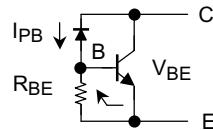


図 2.2.4

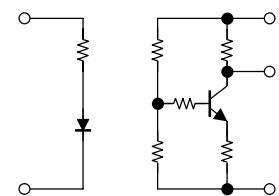


図 2.2.5

2.2.2 ベース端子のコモンノイズ問題

ベース端子付きのフォトカプラを使用する場合、ベース端子を開放状態にしておきますと、ベース端子がアンテナ的作用を起こし、ノイズを受けやすくなります。特に、入出力間にパルス状の高電圧を印加しますと、ベースリード端子で受ける誘導ノイズと、入出力間キャパシタンスをつたわって流れるノイズが加わり、あたかも入力信号があるかのごとく動作します。

このような場合は、出力トランジスタのベースエミッタ間にコンデンサ CBE を挿入し、ベースに乗った過渡ノイズを CBE で吸収し誤動作を防止できます。ただし、入出力応答速度が遅れますので注意が必要です（図 2.2.6 に例を示します）。

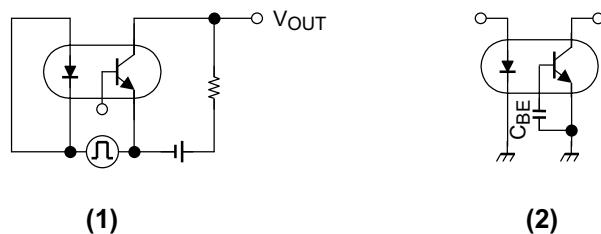


図 2.2.6

2.3 フォトサイリスタカプラの出力回路

接地の異なる回路間の電気信号を伝達する場合、従来から絶縁トランジス（パルストラニス）やリードリレーが多数使われています。しかし、寿命、信頼性、外形寸法、回路基板への実装容易性および実装密度などの問題から、フォトカプラの採用が一般化されてきました。

産業用制御機器の分野では、シーケンスコントローラに代表されるように、CPU と I/O カードとのインターフェースや、電子レンジやエアコンなどの家電機器および複写機などのオフィスマシンへのマイクロコンピュータの普及により機器の自動化や集中制御化が進み、フォトカプラの応用が一段と拡大しています。

中でもフォトサイリスタカプラは、パワートライアックのゲートトリガ素子として使用した場合、従来から使用されているパルストラニスや小型リードリレーに比べ、各種の利点があります。

例えば、パルストラニスを使用した場合、パワートライアックの点弧に十分なるトリガパルス幅を得るか、1 ms 以上の連続したトリガパルスを発生するトリガ回路が必要で、回路構成上、比較的高価になります。

この点、フォトサイリスタカプラをゲート回路の ON/OFF スイッチとして応用すると、TTL ゲートなどで入力側の LED を駆動するだけで簡単にパワーコントロールができます。また、リードリレーなどの機械的な接点開閉では、応答速度が遅いため位相制御ができないことや、動作頻度が高い場合の寿命問題もあり、フォトサイリスタカプラの方が優れています。

このような背景から、最近ではフォトサイリスタカプラの種類も多く、ますます応用範囲が拡大しています。ここでは、これらフォトサイリスタカプラの基本的特性、使用上の注意事項および応用回路などについて述べます。

2.3.1 フォトサイリスタのターンオン機構

フォトサイリスタのターンオン機構には、次の重要なものがあります。1つはゲート電流 I_G による機構で、通常のサイリスタに適用されます。

2つ目は発光ダイオードからの光によって点弧させる機構で、フォトサイリスタカプラに適用されます。このフォトサイリスタカプラに用いられる発光ダイオードは、液相エピタキシャル GaAs LED (発光波長 9400Å の赤外光) が一般的です。つまり、シリコンの分光感度波長に合って、しかも発光効率の高いことが LED 側の条件になります。

この LED による放射エネルギーが、図 2.3.1 (1) の中央接合部 J_2 の空乏層内へ入射し、ちょうど J_2 が逆バイアスされたフォトダイオードとして機能することで、図 2.3.1 (2) の光電流 $I_{P\lambda}$ がゲート電流と等価な動きをします。

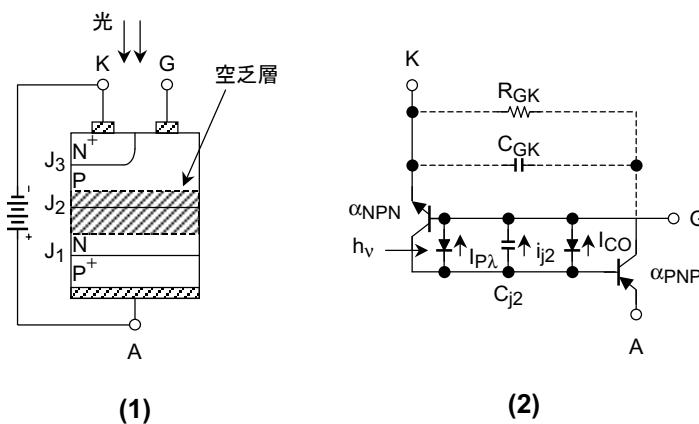


図 2.3.1 フォトサイリスタの構造と等価回路

図 2.3.1 (2) の等価回路で、フォトサイリスタのアノード電流 I_A は次式で示されます。

$$I_A = \frac{(I_G + I_{P\lambda} + I_{CO} + i_{j2})\alpha_{NPN}}{1 - (\alpha_{PNP} + \alpha_{NPN})} \quad (1)$$

ここで、

α_{PNP} 、 α_{NPN} ：等価トランジスタの電流利得

I_{CO} : 逆バイアスされた J_2 の漏れ電流

$I_{P\lambda}$: 光入射により J_2 に発生した光電流

i_{j2} : アノード-カソード間の dv/dt により、 J_2 の接合容量に流れる充電電流

つまり、 $I_{P\lambda}$ が流れると、PNP および NPN の 2 つの等価トランジスタが構成される再生帰還ループ利得のためアノード電流 I_A が増加し、この I_A の増加で、さらに α_{PNP} 、 α_{NPN} が増大します。そして、 $\alpha = \alpha_{PNP} + \alpha_{NPN} \geq 1$ で I_A は無限大となり、フォトサイリスタが点弧します。

3つ目は、漏れ電流 I_{CO} の増大によるターンオン機構です。 I_{CO} は、周囲温度が高温において 8°C 当たり約 2 倍増加し、 $\alpha_{PNP} + \alpha_{NPN} \rightarrow 1$ でターンオンします。また、アノード-カソード間電圧が素子のブレーカオーバ電圧 V_{BO} を超えてアバランシェ降伏の状態に突入すると、このアバランシェ電流でターンオンしてしまうので、好ましくありません。

最後に dv/dt によるターンオンがあります。フォトサイリスタのアノード-カソード間に急激な順方向電圧上昇 (dv/dt) が印加されると、その印加電圧がフォトサイリスタのブレークオーバ電圧 V_{BO} 以内で、しかも LED 電流をしゃ断していくても、誤点弧することがあります。

素子が順方向阻止状態のとき、図 2.3.1(1) に示す中央の接合 J_2 は逆バイアスされて、図 2.3.1 の接合容量 C_{j2} を形成しています。ここで順方向電圧が急激に変化すると、 C_{j2} に充電電流 i_{j2} が流れます。この i_{j2} のため、 J_1 、 J_2 からそれぞれ正孔、電子の注入が行われ、前述の $I_{P\lambda}$ (I_F) によるターンオンの機構と同様に、フォトサイリスタが点弧します。この充電電流は、次式で示されます。

$$i_{j2} = C_{j2} \times V^{\frac{1}{K}} \times dv/dt$$

$K = 2 \sim 3$

V : 印加の電圧

また、フォトサイリスタがターンオンする寸前の dv/dt の限界値を dv/dt 耐量、または臨界オフ電圧上昇率とよび、 $V/\mu s$ の単位で表します。接合部温度 T_j の上昇で、2 つのトランジスタの電流利得が増加するため、 dv/dt 耐量は図 2.3.2 のグラフのように減少します。このことは、電源スイッチ投入時の過渡電圧や、誘導負荷の転流時の誤動作の危険性がよりいっそう増大しますので、後述する対策が必要です。

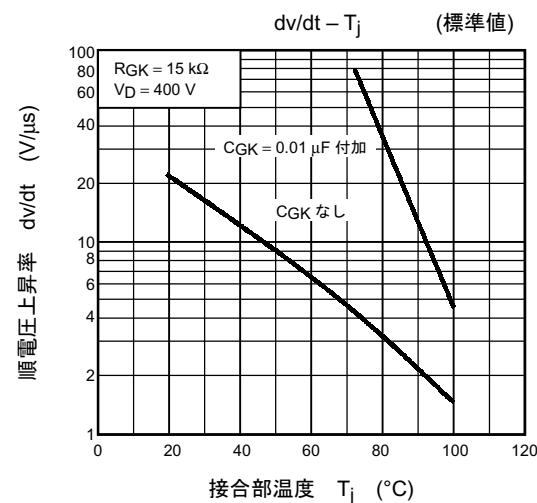


図 2.3.2 dv/dt 耐量の接合部温度による低下を示す特性例 (TLP546G)

2.3.2 基本回路と誤点弧防止策

dv/dt の発生は、スイッチの投入または開放時の過渡電圧と密接に関連しています。フォトサイリスタ回路に加わる過渡電圧の発生原因を、図 2.3.3、図 2.3.4 に示します。

フォトサイリスタで交流回路の開閉を行っているということは、1/2 サイクルごとに確実にサイリスタがターンオフしているわけですが、抵抗負荷の場合は電流がゼロになるとき電圧もゼロとなり、転流直後の電圧上昇はゆるやかな電源電圧の正弦波となります。

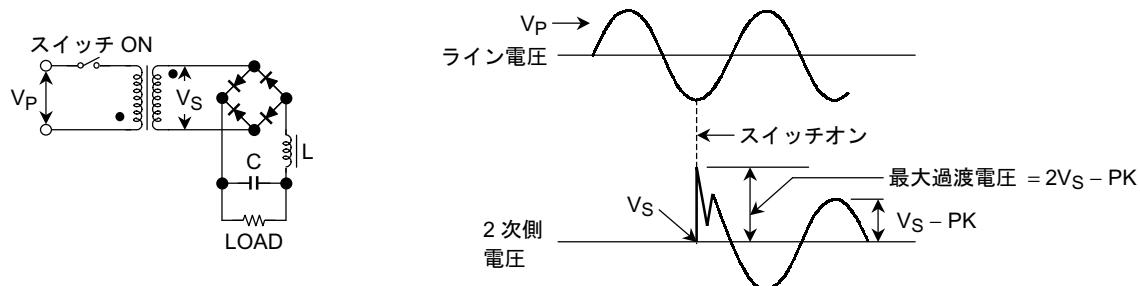


図 2.3.3 トランスの1次側の電源投入による過渡電圧の発生

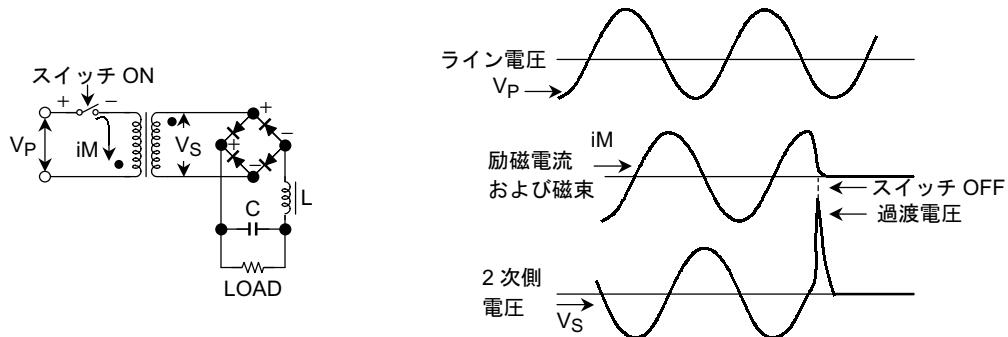


図 2.3.4 トランスの1次側の電源開放による過渡電圧の発生

しかし、誘導負荷の場合、図 2.3.5 に示すような逆並列接続フォトサイリスタ回路では、SPT-1 の電流が保持電流以下になってターンオフした直後に、電源電圧のピーク値が SPT-2 の順方向に急激に印加されます。この順電圧上昇率 dv/dt が大きすぎると、フォトサイリスタの接合容量 C_{j2} による充電電流で V_{BO} が低下し、誤点弧して、回路や系統を誤動作させてしまいます。

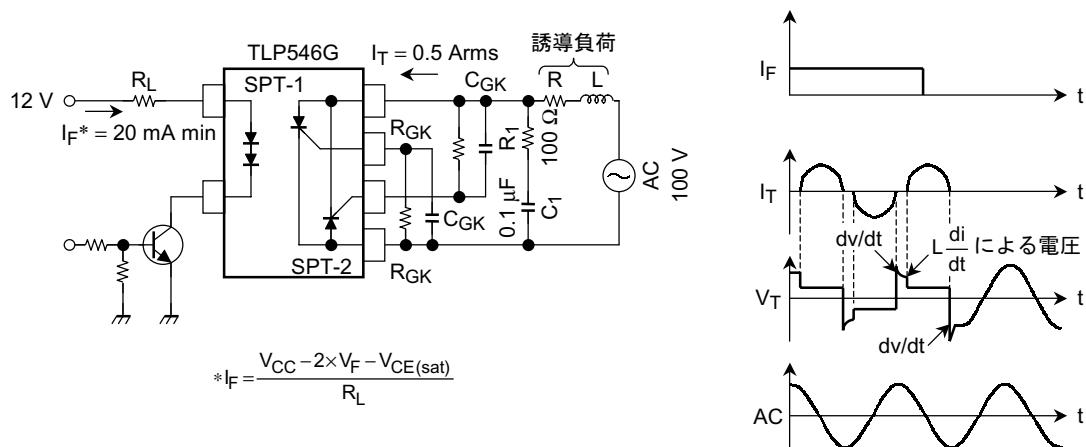


図 2.3.5 逆並列接続フォトサイリスタで誘導負荷を制御する

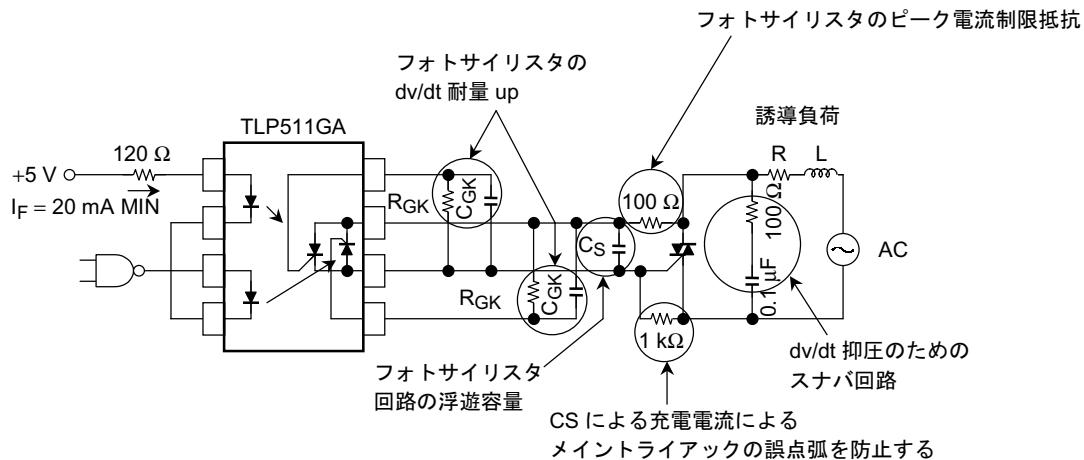


図 2.3.6 トライアックのトリガ素子として逆並列フォトサイリスタカプラを使う

ここで、確実に SPT-2 をターンオフさせる (dv/dt で ONさせない) ために C_1 を挿入し、負荷のインダクタンス (L) によるオーバーシュートを消し、フォトサイリスタが点弧したときコンデンサからのサージ (di/dt) を制限するための抵抗として R_1 を入れます。実際の誘導回路で、 $R_1 = 100 \Omega$ 、 $C_1 = 0.1 \mu F$ を使用すると、転流時の dv/dt を約 $1\sim1.5 V/\mu s$ に抑えることができます。このときの dv/dt 波形を写真 2.3.1 に示します。

フォトサイリスタの dv/dt 耐量は、 $T_a = 100^\circ C$ の高温動作で約 $2 V/\mu s$ をキープさせる必要があり、図 2.3.2 の特性例より $CGK = 0.01 \mu F$ 、 $RGK = 15 k\Omega$ が最適となります。使用する素子により、 $dv/dt-T_j$ 特性が異なりますので、各メーカーの技術資料を参考にしてください。

図 2.3.6 は、数 A-数 10 A の負荷電流を開閉させる場合に、メイントライアックのゲートトリガ素子として逆並列接続の小容量 ($I_T = 0.1\sim0.2$ Arms) フォトサイリスタカプラを使用した回路例です。

図中の CGK は、直流および低周波のトリガ信号に対し高いゲート感度を維持しながら、 dv/dt 耐量を増大させます。つまり、図 2.3.1 (2) の等価回路で、 dv/dt による C_{j2} の変化電流 i_{j2} を CGK でカソードへバイパスすることにより、フォトサイリスタの再生帰還ループゲインを抑え、誤点弧を防ぎます。

この CGK と dv/dt 耐量との関係の代表特性例を、図 2.3.7 に示します。通常市販されているフォトサイリスタカプラの場合、 $CGK = 0.001\sim0.01 \mu F$ が使用されています。なお、当然のことながら CGK を挿入しますと、それだけターンオン時間 t_{ON} が長くなります。通常 $CGK = 0.01 \mu F$ オーバードライブ係数 $I_F/I_{FT} = 1.5$ で、 $t_{ON} \approx 20\sim30 \mu s$ ぐらいです。

フォトサイリスタは、もともと微小な光電流 $I_{P\lambda}$ でターンオンできるようにゲート感度を高く設計 ($IGT = 5\sim30 \mu A$) してあり、高温動作時に生じた漏れ電流 I_{CO} で誤点弧しやすくなります。そこで図 2.3.6 のように RGK を挿入し、 I_{CO} をカソードへバイパスさせて安定な動作をさせます。

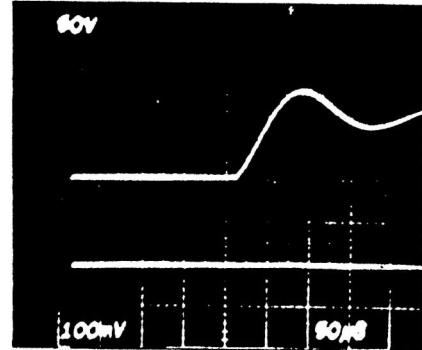
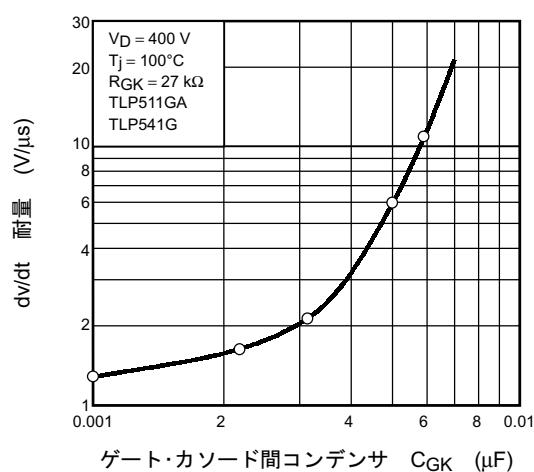
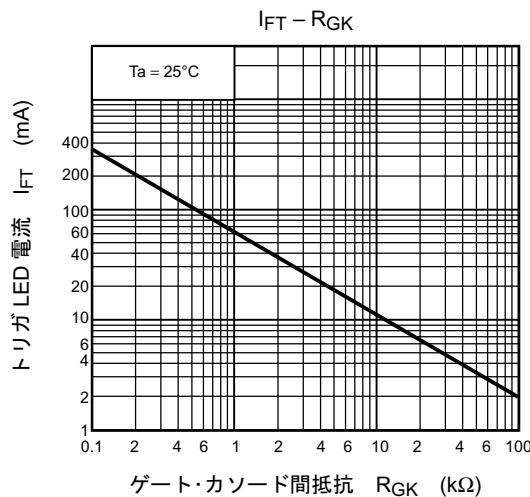


写真 2.3.1 $R_1 = 100 \Omega$ 、 $C_1 = 0.1 \mu F$ のスナバ回路による転流時の dv/dt 抑圧効果

図 2.3.7 dv/dt 耐量の C_{GK} 依存性を示す特性例図 2.3.8 I_{FT} の R_{GK} 依存性
(TLP511GA、TLP541G)

また、 R_{GK} は dv/dt によるゲート電流 i_{j2} もバイパスさせるため、 dv/dt 耐量も増大します。

しかし、LED からの光エネルギーによって得た $I_{p\lambda}$ をカソードバイパスさせるので、ゲート電流としての寄与率が低下し、IFT (フォトサイリスタを点弧させるために必要最小な LED 電流) を増加させます。そのため、 R_{GK} が小さすぎると、LED トリガがかかりません。この IFT-R_{GK} の代表特性を図 2.3.8 に示します。

ダイオードブリッジで全波整流して、その開閉をフォトサイリスタで行うと、フォトサイリスタカプラは 1 個でよく経済的です。図 2.3.9 にこの基本的な応用例として、メイントライアックとの組み合わせによる簡単な固体リレーを構成してみました。

この回路例は、モータコントロールや各種の負荷開閉に一般的に使用されています。フォトサイリスタのアノード電流はメイントライアックが点弧したとき、保持電流 ($I_H \approx 0.2\text{ mA}$) 以下となってターンオフするため、フォトサイリスタ自体はほとんど電力消費していません。

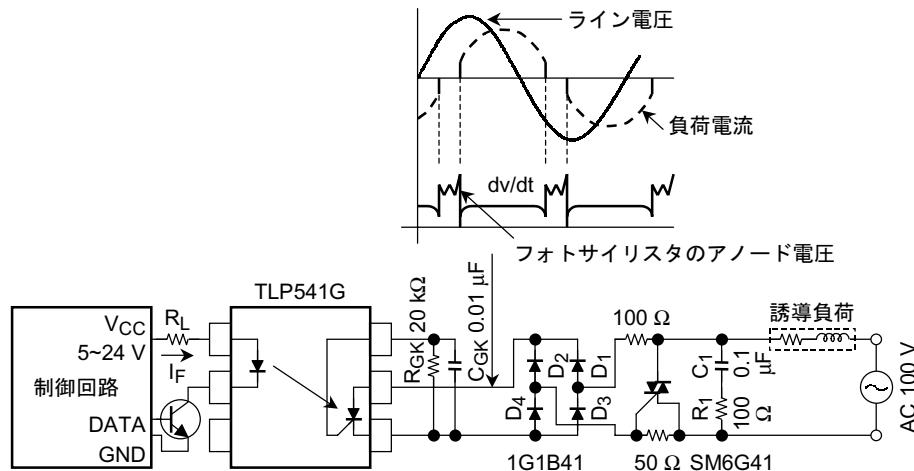


図 2.3.9 フォトサイリスタカプラの応用例

2.4 フォトカプラを使った TTL 間インタフェース回路の設計

図 2.4.1 は TTL 間インタフェースに DIP4 ピンのフォトカプラを使った回路です。TTL の確実な ON/OFF 動作を得るため、 R_C と I_{IL} で決まる I_{OL} を満たすための LED 電流 I_F が必要です。

設計仕様例

動作温度 T_{opr}	: 0~70°C
データ速度	: 5 kbit/s
電源電圧	: $V_{CC} = 5 \text{ V} \pm 5\%$
動作寿命	: 20 年 (17 万時間)
システム稼動率	: 50%

フォトカプラの選定を行います。

今回は TLP521-1 を使用します。設計に必要な規格を表 2.4.1 に示します。

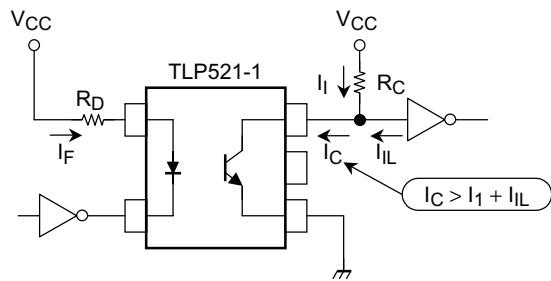


図 2.4.1 4 ピンのフォトカプラを使った TTL 間インタフェース回路

表 2.4.1 フォトカプラの主要特性

項目	記号	測定条件 ($T_a = 25^\circ\text{C}$)	最小値	標準値	最大値	単位
順電圧	V_F	$I_F = 10 \text{ mA}$	1.0	1.15	1.3	V
コレクタ・エミッタ間電圧	$V_{(BR)} \text{CEO}$	$I_C = 0.5 \text{ mA}$	55	—	—	V
エミッタ・コレクタ間電圧	$V_{(BR)} \text{ECO}$	$I_E = 0.1 \text{ mA}$	7	—	—	V
暗電流	I_{CEO}	$I_F = 0, V_{CE} = 24 \text{ V}$	—	10	100	nA
		$I_F = 0, V_{CE} = 24 \text{ V}, T_a = 85^\circ\text{C}$	—	2	50	μA
変換効率	CTR (I_C/I_F)	$I_F = 5 \text{ mA}$ $V_{CE} = 5 \text{ V}$	一般品	50	—	600
			GB ランク	100	—	600
			GR ランク	100	—	300
			BL ランク	200	—	600
コレクタ飽和電圧	$V_{CE(\text{sat})}$	$I_F = 5 \text{ mA}, I_C = 1 \text{ mA}$	—	0.1	0.4	V

2.4.1 $R_C(\max)$ の設定

$R_C(\max)$ はフォトカプラのスイッチング時間と最大動作温度での暗電流 $I_{CEO}(\max)$ の両方、または片方で設定します。スイッチング時間と R_L (負荷抵抗)、 R_C の関係を次に示します。

データ速度は 5 kbit/s ですから、スイッチング時間の合計は、

$$T = t_r + t_d + t_f + t_s \leq 200 \mu s$$

です。

負荷抵抗 R_L は $T \leq 200 \mu s$ を確保するため、素子のバラツキを考えて、 $T = 100 \mu s$ となるように図 2.4.2 のスイッチング時間 (飽和動作) 特性グラフから求めます。グラフより $R_L \leq 4.7 \text{ k}\Omega$ が求まります。ここで R_L は標準 TTL の入力抵抗 R_{IN} と R_C との並列抵抗で表すことができます(図 2.4.3)。

$$R_L = R_C // R_{IN}$$

ここで、

$$R_L = 4.7 \text{ k}\Omega > R_{IN} = 4 \text{ k}\Omega$$

ですので、応答の点からは $R_C = \infty$ でもよいですが、暗電流 $I_{CEO}(\max)$ に対した $RC(\max)$ の制限があります。

次に $I_{CEO}(\max)$ と $RC(\max)$ の関係を示します。
 $RC(\max)$ は、

$$R_{C(\max)} = \frac{V_{CC(\min)} - V_{IH}}{I_{CEO}}$$

となります。

次に、 $T_a = 70^\circ\text{C}$ での $I_{CEO}(\max)$ を推定します。
 図 2.4.4 に $V_{CE} = 5 \text{ V}/10 \text{ V}/24 \text{ V}$ をパラメータにした $I_{CEO}(\text{typ.})$ の温度依存性を示します。

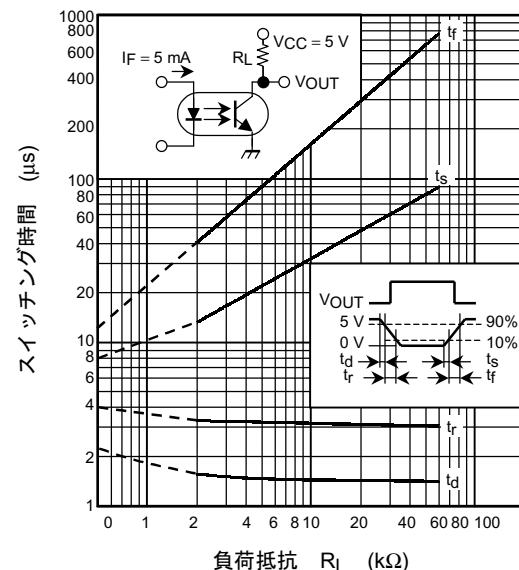


図 2.4.2 負荷抵抗-スイッチング時間
(飽和動作) 特性

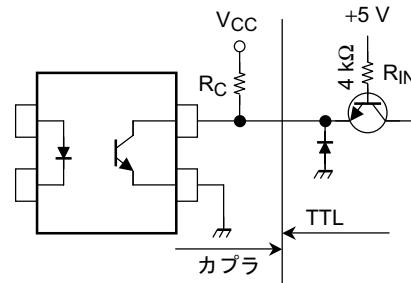


図 2.4.3 R_L は R_{IN} と R_C で表せる

TLP521-1 は、 $T_a = 85^\circ\text{C}$ 、 $V_{CE} = 24 \text{ V}$ で $I_{CEO}^{(\max)} = 50 \mu\text{A}$ ですので、図 2.4.4 から V_{CE} 依存度と T_a 依存度を考慮して、 $T_a = 70^\circ\text{C}$ 、 $V_E = 5 \text{ V}$ の $I_{CEO}^{(\max)}$ を推定します。

V_{CE} 依存度 : $V_{CE} = 24 \text{ V} \rightarrow 5 \text{ V}$
で、 $I_{CEO}^{(\text{typ.})}$ は 1/4 倍になります。
 T_a 依存度 : $T_a = 85^\circ\text{C} \rightarrow 70^\circ\text{C}$
で、 $I_{CEO}^{(\text{typ.})}$ は 1/4 倍になります。従って、 $T_a = 70^\circ\text{C}$ 、 $V_{CE} = 5 \text{ V}$ での $I_{CEO}^{(\max)}$ は、

$$I_{CEO} = 50\mu\text{A} \times \frac{1}{4} \times \frac{1}{4} = 3.1\mu\text{A}$$

と推定されます。従って、

$$R_C^{(\max)} = \frac{4.75\text{V} - 2\text{V}}{3.1\mu\text{A} + 40\mu\text{A}} = 64 \text{ k}\Omega$$

となります。

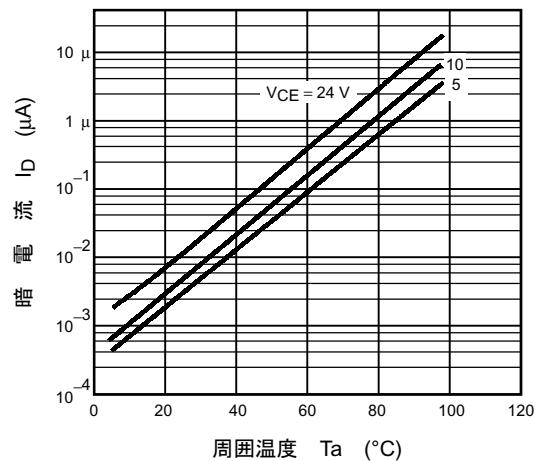


図 2.4.4 V_{CE} をパラメータにした周囲温度-暗電流特性 (標準値)

2.4.2 順電流 I_F の設定

I_F の最大は $I_F \leq I_{OL}$ から、 $I_F \leq 16 \text{ mA}$ 、また I_F の最大許容値は図 2.4.5 から $I_F \leq 50 \text{ mA}$ ですが、変換効率 CTR の経年変化が I_F の増大より大きくなりますので、必要最小限にします。図 2.4.6 は CTR の経年変化例を示すものですが、約 10 万時間の連続動作寿命を期待するため、 $I_F = 10 \text{ mA} \pm 50\%$ に設定します。

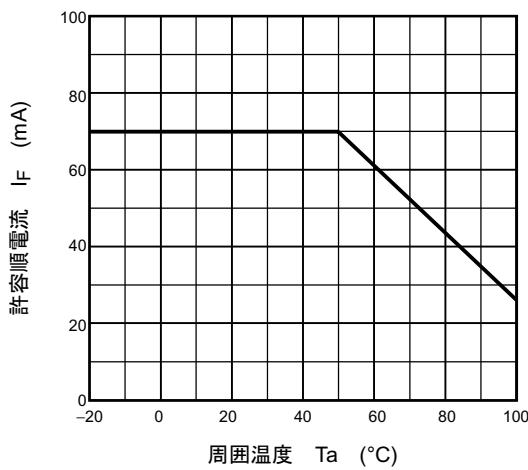


図 2.4.5 周囲温度-許容順電流 (TLP521-1)

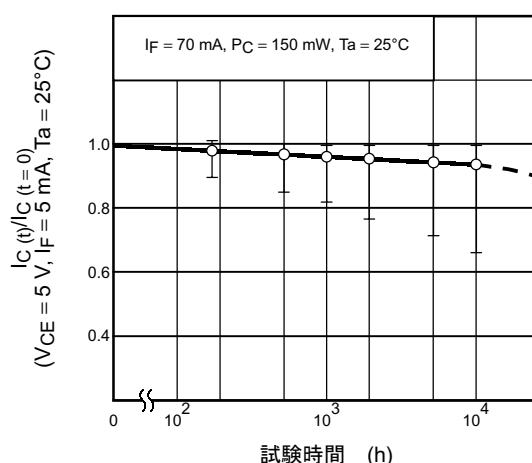


図 2.4.6 寿命試験データ例

2.4.3 I_F 制限抵抗 R_D の設定

I_F (typ.) は、

$$I_{F(\text{typ.})} = \frac{V_{CC} - V_{F(\text{typ.})} - V_{OL}}{R_{D(\text{typ.})}}$$

で示されます。

V_F (typ.) はカタログ値から、

$$V_F(\text{typ.}) = 1.15 \text{ V } (I_F = 10 \text{ mA})$$

ですので、

$$R_D = \frac{5\text{V} - 1.15\text{V} - 0.4\text{V}}{10\text{mA}}$$

$$= 345 \Omega$$

ゆえに $R_D = 330 \Omega \pm 5\%$ が最適です。

I_F (min)、 I_F (max) 値を確認しますと、下記のようになります。

$$I_{F(\text{min})} = \frac{V_{CC(\text{min})} - V_{F(\text{max})} - V_{OL}}{R_{D(\text{max})}}$$

$$= \frac{4.75\text{V} - 1.3\text{V} - 0.4\text{V}}{314\Omega}$$

$$= 9.7 \text{ mA}$$

$$I_{F(\text{max})} = \frac{V_{CC(\text{max})} - V_{F(\text{min})} - V_{OL}}{R_{D(\text{min})}}$$

$$= \frac{5.25\text{V} - 1.0\text{V} - 0.4\text{V}}{347}$$

$$= 11.1 \text{ mA}$$

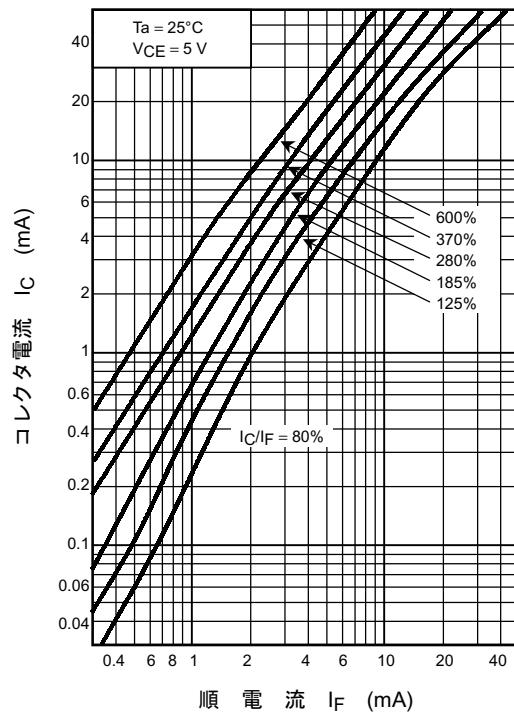


図 2.4.7 I_C/I_F をパラメータとした
順電流-コレクタ電流特性
(標準値)

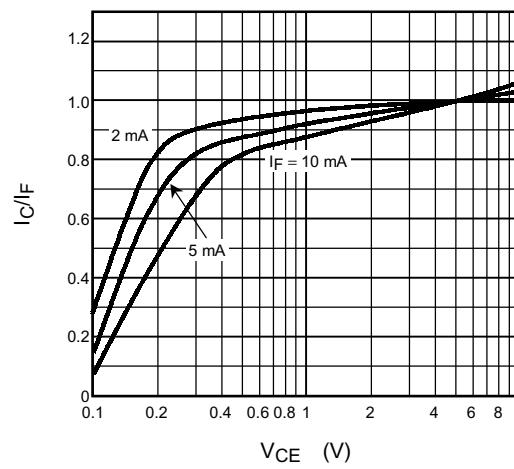


図 2.4.8 I_C/I_F-V_{CE} 特性

2.4.4 プルアップ抵抗 R_C の設定

ワーストケースの I_C 値を $\text{min}I_C$ としますと、

$$R_C \geq \frac{V_{CC(\max)} - V_{OL}}{\text{min}I_C - I_{IL}}$$

$\text{min}I_C = I_C(\text{min}) \times D_{IF} \times D_t \times DV_{CE} \times DT_a$
で表します。ここで、

D_t : ある時間経過後の I_C 劣化率

D_{IF} : カタログ条件に対する I_F 設定値での I_C 変化率

DV_{CE} : $V_{CE}(\text{sat})$ 状態での I_C 低下率

DT_a : T_{opr} 内での I_C 変動率

とした場合、これらの値は各メーカーのカタログデータから得られます。TLP521-1 の場合、

図 2.4.6 より $D_t = 0.5$ ($t = 17 \times 10^4$ h 50% 稼動率)

図 2.4.7 より $D_{IF} = 2.5$ ($I_F = 10$ mA)

図 2.4.8 より $DV_{CE} = 0.80$ ($V_{CE} = 0.4$ V)

図 2.4.9 より $DT_a = 0.75$ ($T_a = 70^\circ\text{C}$)

また、 $I_C(\text{min}) = 2.5$ mA [$(I_F = 5$ mA) $\times (I_C/I_F(\text{min}) = 50\%)$] より、

$$\text{min}I_C = 2.5 \text{ mA} \times 2.5 \times 0.5 \times 0.80 \times 0.75 = 1.8 \text{ mA}$$

となります。しかし、これでは、

$$\text{min}I_C - I_{IL} > \frac{V_{CC(\max)} - V_{OL}}{R_{C(\min)}}$$

の成立する R_C が数十 kΩ と大きくなりすぎます。従って、もっと CTR の高いフォトカプラを選定します。TLP521-1 (GB) は、 $I_C(\text{min}) = 5$ mA を保証していますので、 $\text{min}I_C = 3.6$ mA です。よって、

$$R_{C(\min)} = \frac{5.24 - 0.4}{3.6 - 1.6} \approx 2.4 \text{ k}\Omega$$

となります。つまり、 $R_C = 2.4$ kΩ~64 kΩ の範囲内なら何でもよいのですが、システムに要求されるデータ速度のマージン設定、およびロジック的 ON/OFF の確実性の両者を考慮して R_C を設定します。スピードを重視する場合なら $R_C(\text{min})$ に近い値を選びますが、ON/OFF の確実性（これを動作寿命と考えてもよい）を重視するときは、 $R_C(\text{max})$ に近い値を選びます。今回は $D_t = 0.5$ とかなり大きなマージンを取っていますので、動作寿命については余裕があると考え、スピードを重視して $R_C = 4.7$ kΩ としました。

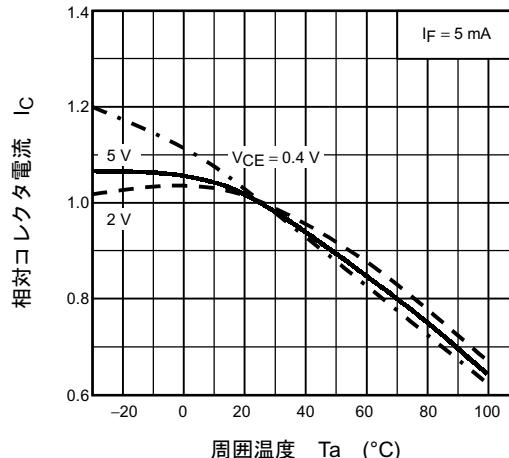


図 2.4.9 周囲温度ーコレクタ電流特性

2.5 簡単な AC スイッチ回路の設計

ここではソリッドステートリレー (SSR) の基本回路として、図 2.3.9 の回路を例に、RGK、CGK の選定方法と、制御電流 (順電流 IF) の決め方について述べます。

2.5.1 設計仕様例

動作温度	: $T_{opr} = 0 \sim 70^{\circ}\text{C}$
電源電圧	: $V_{CC} = 5 \text{ V} \pm 5\%$
抵抗バラツキ	: $\pm 5\%$
動作寿命	: 17 万時間 (約 20 年)
システム稼動率	: 50%

2.5.2 部品選定

図 2.3.9 の回路にて、フォトサイリスタカプラに TLP541G を使いました。

これは一方向にしか導通しませんので、整流ブリッジとして 1GB41 を使います。

トライアックは、100 V、2 A の負荷を開閉させるため、SM6G14 を使いました。なお、スナバ回路として、 $R = 100 \Omega$ 、 $C = 0.1 \mu\text{F}$ が適当です。トライアックの G-T₂間に入れた $R = 50 \Omega$ は、ダイオードブリッジやフォトサイリスタのキャパシタンス分による充電電流をバイパスさせるためのものです。

2.5.3 RGK、CGK の設定

負荷が誘導性のため、前述の問題対策として dv/dt 耐量を大きく設計します。SM6G14 がターンオンすると、TLP541G は導通しないので電力損失は少なく、自己加熱による T_j 上昇はありません。従って、フォトサイリスタの最高接合部温度は、LED 側からの熱伝導分が最大周囲温度に加算されたものと考えられます。LED 順電流 IF は、後述する長期寿命の関係から、 $IF \leq 30 \text{ mA}$ が限度ですので、この発熱分を加算しても T_j (SCR) は約 80°C 以下になっています。

dv/dt はスナバ回路の効果を考慮して、 $dv/dt = 2 \sim 3 \text{ V}/\mu\text{s}$ を T_j (SCR) = 80°C と最大電源電圧の 2 倍の $V_{DRM} = 280 \text{ V}$ でキープさせます。

ここでは、 dv/dt にマージンを持たせるため図 2.3.7 の特性値により、 $RGK = 27 \text{ k}\Omega$ 、 $CGK = 0.01 \mu\text{F}$ が適当と考えます。CGK は、サイリスタカプラのターンオン時間長によるトラブルが起こらない程度まで大きくできます。

2.5.4 順電流の設定

フォトサイリスタをターンオンさせるための最小順電流 IF を、トリガ LED 電流と定義し、必要な IF を次式で求めます。

$$IF = IFT(\max) \times DTa \times DRGK \times Dt \times Dt_{ON}$$

ここでは、下記のように定義しています。

IFT (max): カタログデータなどに初期的に保証されている IFT

DTa : IFT の温度依存性の相対値で、約 1.1~1.2 倍の範囲

DRGK : IFT の RGK 依存性の相対値で、この場合 $RGK = 27 \text{ k}\Omega$ とメーカーのカタログ条件どおりのため補正は不要。

Dt : IFT の経年変化の補正係数で、メーカーへ確認する必要がある。ここでは図 2.5.1 を参考。

Dt_{ON} : ターンオン時間を短くするためのオーバードライブ係数で、 $Dt_{ON} = 1.2$ とする。

数値例として、

$$I_{FT}(\text{max}) = 7 \text{ mA}$$

$$@Ta = 25^\circ\text{C}, R_{GK} = 27 \text{ k}\Omega$$

$$DR_{GK} = 1 @R_{GK} = 27 \text{ k}\Omega$$

$$D_t = 1.3 @8.5 \times 10^4 \text{ h}$$

$$DT_a = 1.2$$

$$DT_{ON} = 1.2$$

よって、IF の必要最小値は、

$$IF(\text{min}) \approx 13 \text{ mA}$$

となります。

2.6

ゼロクロススイッチ回路

スイッチは、導通するときに電流の急変を生じ、これによる突入電流や過渡電圧によって、ラジオ障害 (RFI) が発生します。

RFI を極力小さくするために、交流電圧のゼロ交差点近傍でスイッチさせる方式があり、これをゼロ電圧スイッチングまたはゼロクロススイッチングといいます。

図 2.6.1 はフォトサイリスタカプラ TLP541G を使って、ゼロクロススイッチを構成した例です。この回路は、トライアックの T₁-T₂ 間電圧がゼロ電圧近傍にあるときのフォトサイリスタが ON して、トライアックがトリガされます。

このゼロクロス方式は、T₁-T₂ 間の電圧を抵抗 R₁、R₂ で分圧し、この分電圧でトランジスタ Tr₁ が飽和します。つまり、ゼロ電圧以外では、フォトサイリスタの光電流 I_{Pλ} がゲートから Tr₁ を通ってカソードへ短絡されるため、フォトサイリスタは V_{IN} が印加されても ON しません。

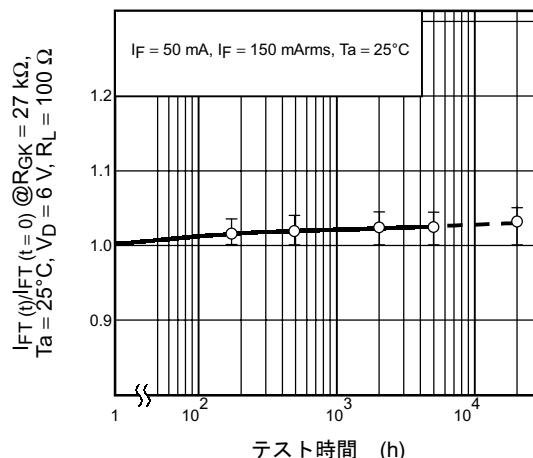


図 2.5.1 LED トリガ感度 I_{FT} の経年変化
(TLP541G)

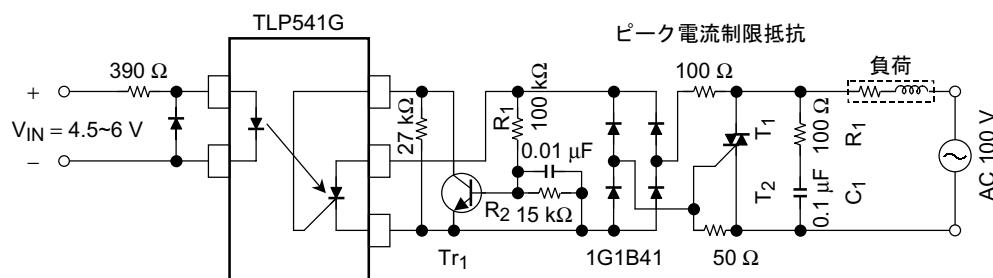


図 2.6.1 ゼロクロス SSR 回路

2.7 設計上の留意点

2.7.1 トランジスタカプラ

基本的に図 2.7.1 がトランジスタカプラを用いた一般的な回路で、入力側に LED 電流 I_F を流すと出力側コレクタ電流 I_C が流れます。しかし、各定数を決めるためには、以下に記した諸注意が必要となります。

(1) $I_F = 0$ のとき (OFF 状態)

カプラの出力側、つまりフォトトランジスタに流れるのはリーク電流 I_D のみ ($I_C = I_D$)。このときの出力電圧 $V_{OUT}(\text{OFF})$ は出力側の必要な High レベル電圧を V_H とすると、

$$V_{CC} - I_D \times R_L = V_{OUT}(\text{OFF}) > V_H$$

を満足させる必要があります。 $(V_{CC} = \text{印加電圧})$

I_D は図 2.7.2 からわかるように周囲温度が上昇すると対数的に大きくなるため、 I_D は最悪状態、つまり動作温度最大値での数値を選ぶ必要があります。これらから R_L の抵抗値は、

$$R_L < \frac{V_{CC} - V_{IH}}{I_D}$$

を満足する必要があります。

(2) $I_F = I_{in}$ のとき (ON 状態)

カプラの出力側、つまりフォトトランジスタに流れる電流を I_C とし、出力側の必要な Low レベル電圧を V_L とすると、出力電圧 $V_{OUT}(\text{ON})$ は、

$$V_{CC} - I_C(\text{ON}) \times R_L = V_{OUT}(\text{ON}) < V_L$$

となります。従って、

$$R_L > \frac{V_{CC} - V_L}{I_C(\text{ON})}$$

を満足する必要があります。

通常 R_L が大きくなるとスイッチング応答性が悪くなるため、できるだけ小さい値をとることが重要です。

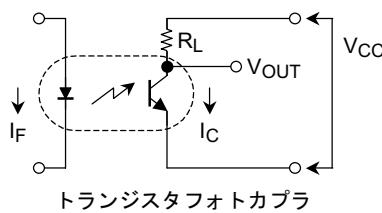


図 2.7.1 トランジスタフォトカプラ

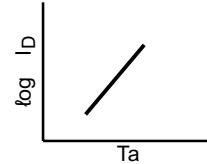


図 2.7.2 ID-Ta

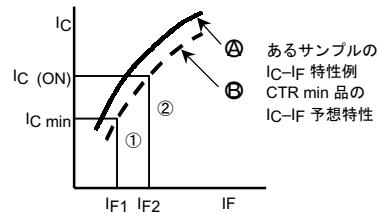


図 2.7.3 IC-IF

(3) ON 状態での入力電流 I_{in} への考慮

一般に技術資料には図 2.7.3、図 2.7.4などの各種の特性グラフが記されています。IC-IF の関係は図 2.7.3 に示され、ある基準点（図 2.7.3 の①）で CTR 測定管理されています。この基準点①と実際の動作点とはズレがあるため、次の手順で設計が必要となります。

①-1) 通常、技術資料には④（あるサンプルの IC-IF 特性例）が記載されています。

始めに CTR_{min} 品での IC-IF 予想特性⑥を、④と並行に引きます。

ここで、 $IC_{min} = CTR_{min} \times IF_1$ です。

②) $IC = IC(\text{ON})$ と特性⑥との交点⑦から IF_2 が得られます。

この IF_2 が、 $T_a = 25^\circ\text{C}$ 、動作時間 $t = 0$ での必要な入力電流ですが、CTR の経時変化（図 2.7.5）、

CTR の温度特性（図 2.7.4）を考慮すると、最低入力電流 I_{in} は、

$$I_{in} > I_{F2} \times \frac{1}{D_{Ta}} \times \frac{1}{D_t} \times \alpha$$

を満たす必要があります。

D_t : ある時間経過後の CTR 劣化率

D_{Ta} : 動作温度内での CTR 変動率

α : 設計マージン

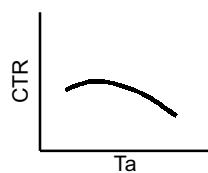


図 2.7.4 CTR-Ta

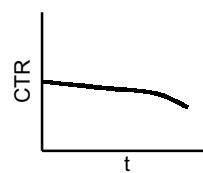


図 2.7.5 CTR-t

2.7.2 トライアックカプラ

フォトトライアックカプラの場合、入力電流 I_{in} (トリガ光電流) がある規定値 IFT 以上になると、LED の光によりフォトトライアックが ON 状態になり、入力電流が 0 になっても、保持電流 I_H の規定値以下に ON 電流 I_T がならない限り、ON 状態のままでです。ひとたび OFF すると、再度入力電流が印加されない限り、ON 状態に入りません。

(1) IF の設定

図 2.7.7 は $IFT-T_a$ の関係を示し、図 2.7.8 は IFT の経時変化を示します。これらのファクタを考慮して、入力電流 I_{in} は次式を満足するように設計する必要があります。

$$I_{in} > IFT \times DTa \times Dt \times \alpha \quad IFT : \text{技術資料に保証されている } IFT_{max} \text{ 値}$$

DTa : IFT の温度依存性の増加係数

Dt : IFT の経年変化係数

α : 設計マージン

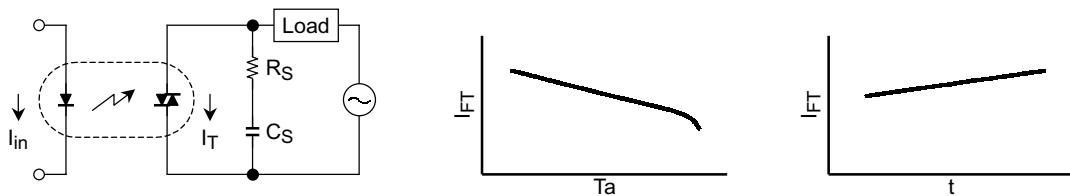


図 2.7.6 トライアックフォトカプラ

図 2.7.7 $IFT-T_a$

図 2.7.8 $IFT-t$

なお、 R_S 、 C_S はスナバ回路であり、外部からのノイズによる誤動作を防止します。 $47\Omega + 0.033\mu F$ 程度の値を推奨します。

2.7.3 フォトボルカプラ・フォトリレー

従来のメカリレーに代わって図 2.7.9 のようにパワーMOS FET が使用されるようになり、ゲートドライブ用にフォトボルカプラが用いられるようになりました。また最近では、機器が小型化する中で、フォトボルカプラと MOS FET を 1 パッケージに組み上げたフォトリレーが使用されるようになってきました。従って、設計に対する考え方は、フォトボルカプラもフォトリレーも同じであり、MOS FET をドライブできるフォトボル出力電圧を確保するために、入力電流 I_{in} をどのようにして決定するかが重要なポイントになります。

この I_{in} について図 2.7.12、図 2.7.14 で示すように V_{OC} 、 I_{SC} の温度特性、 V_{OC} 、 I_{SC} の経時変化を考慮して、入力電流 I_{in} は、

$$I_{in} > I_F \times \frac{1}{D_{Ta}} \times \frac{1}{D_t} \times \alpha$$

D_{Ta} : 動作温度内での V_{OC} (I_{SC}) 変動率

D_t : ある時間経過後の V_{OC} (I_{SC}) 変化率

α : 設計マージン

となります。

注 3: 短絡電流が大きいほど、スイッチング時間 (ON) が短くなるため、パワーMOS FET については、このスイッチング時間を短くできるように入力容量の小さい素子を選ぶ必要があります。

注 4: MOS FET 駆動回路に関しては種々の特許が存在します。

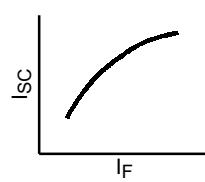
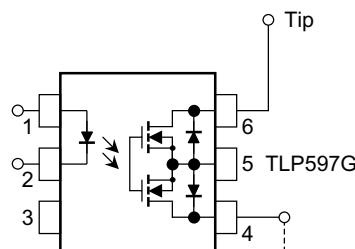


図 2.7.10 $I_{SC}-I_F$

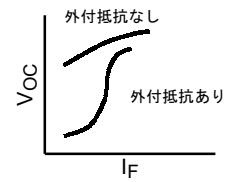


図 2.7.11 $V_{OC}-I_F$

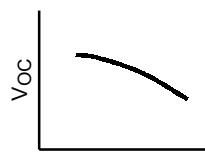
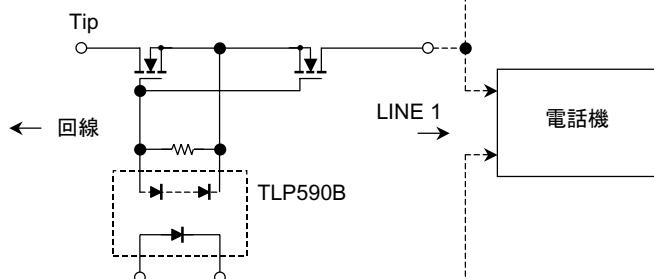


図 2.7.12 $V_{OC}-Ta$ 図 2.7.13 $I_{SC}-Ta$

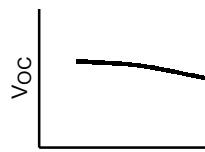
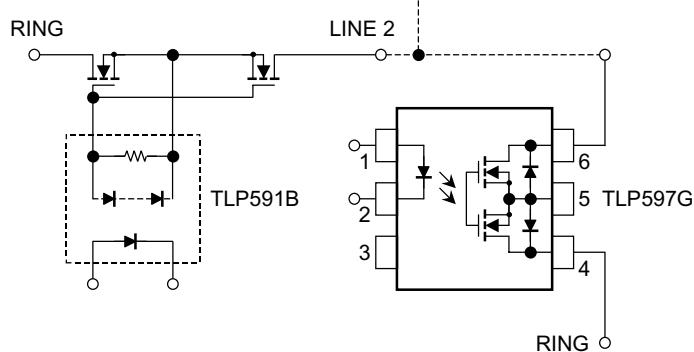


図 2.7.14 $V_{OC}-t$, $I_{SC}-t$

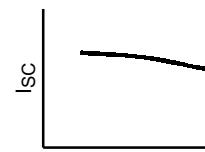


図 2.7.9 フォトボルカプラ・フォトリレー

2.7.4 フォト IC カプラ

(1) 設計上における基本関係式

(1.1) TLP550 タイプ: TLP112, TLP112A, TLP114A, TLP512, TLP550, TLP551, TLP553, TLP559, TLP759, TLP2530, TLP2531

出力電流 I_O は入力 LED 電流 I_F に依存し、 $I_O = CTR \times I_F$ で変化しますので(図 2.7.15)、この点をポイントに考えなければなりません。

代表例として TLP550 を使用し、TTL/TTL インタフェースを構成する場合の基本関係式を図 2.7.16 に示します。

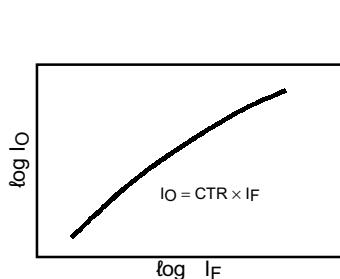
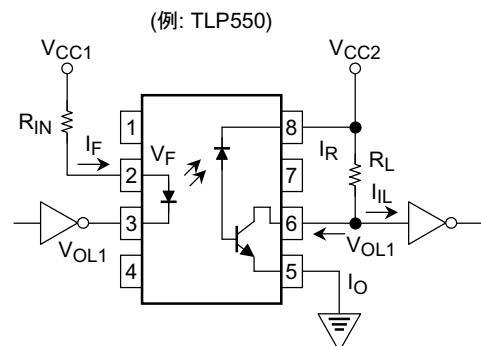


図 2.7.15 I_O-I_F



$$R_{IN} = \frac{V_{CC1} - V_F - V_{OL1}}{I_F} \quad I_O (\text{min}) = I_F \times CTR (\text{min})$$

$$R_{L(\text{min})} = \frac{V_{CC2} - V_{OL}}{I_O(\text{min}) \times \alpha + I_{IL}} \quad (\alpha: \text{システム設計余裕度})$$

図 2.7.16 TTL/TTL インタフェース例

(1.2) TLP552 タイプ: TLP113, TLP115, TLP115A, TLP250, TLP251, TLP513, TLP552, TLP554, TLP555, TLP557, TLP558, TLP2630, TLP2631

このタイプでは、入力 LED 電流 I_F のあるスレッショルド I_{FH} (または I_{FL}) で出力状態がスイッチしますので (図 2.7.17)、 I_{FH} (または I_{FL}) の最大値以上の入力 LED 電流 I_F となるよう考えなければなりません。

表 2.7.1 に I_{FH} (または I_{FL}) max の値を示します。

表 2.7.1

	I_{FH} (または I_{FL}) max	保証温度範囲 (注 5)
TLP113, TLP115, TLP115A, TLP513, TLP552, TLP554, TLP2630, TLP2631	5 mA	0~70°C
TLP582	5 mA	-25~85°C
TLP557	5 mA	-30~70°C
TLP250, TLP251	5 mA	-20~70°C
TLP555, TLP558	1.6 mA	-25~85°C

注 5: 保証温度範囲は電気的特性を保証した温度であり、動作保証温度範囲と異なります。

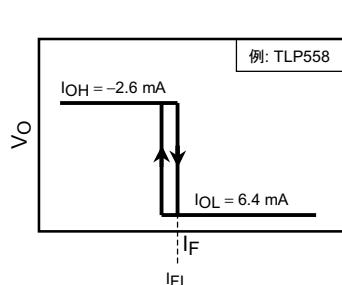


図 2.7.17 V_O-I_F

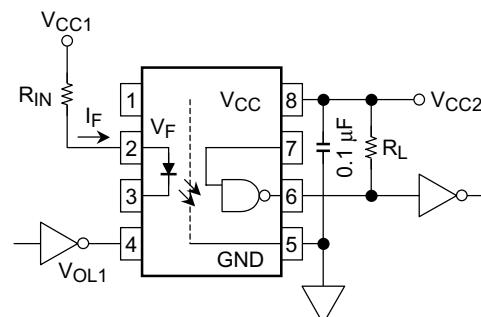


図 2.7.18 TTL/TTL インタフェースの例

(2) その他の諸注意

(2.1) バイパスコンデンサ

フォト IC カプラでは、出力受光 IC に高感度のアンプを内蔵しています。VCC 電源ライン、GND ラインにのったノイズ電圧や、フォトカプラの負荷のスイッチングによる VCC 電圧トランジエントにより内部発振を起こし、正常な動作をしない場合があります。これを防止するため、VCC と GND 間に高周波特性のよいバイパスコンデンサ $0.1 \mu\text{F}$ をピンから 1 cm 以内の場所に取り付けてください。

0.1 μF バイパスコンデンサを必要とするもの: TLP113、TLP115、TLP115A、

TLP250

TLP251、TLP513、TLP552

TLP554、TLP555、TLP557

TLP558、TLP2630、TLP2631

なお IC カプラ全てについて設計的安全サイドにたつと 0.1 μF バイパスコンデンサの取り付けを推奨します。

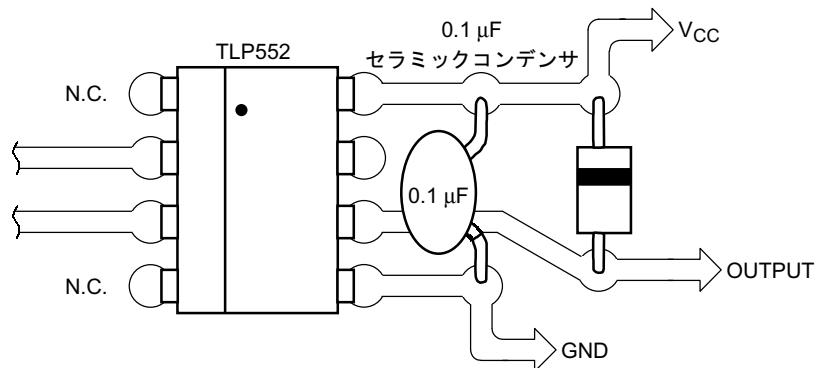


図 2.7.19

(2.2) イネーブル端子

TLP552、TLP554、TLP555、TLP558 はイネーブル端子を持っています。イネーブル機能動作を利用しない場合、この端子の処理は次のようにしてください。

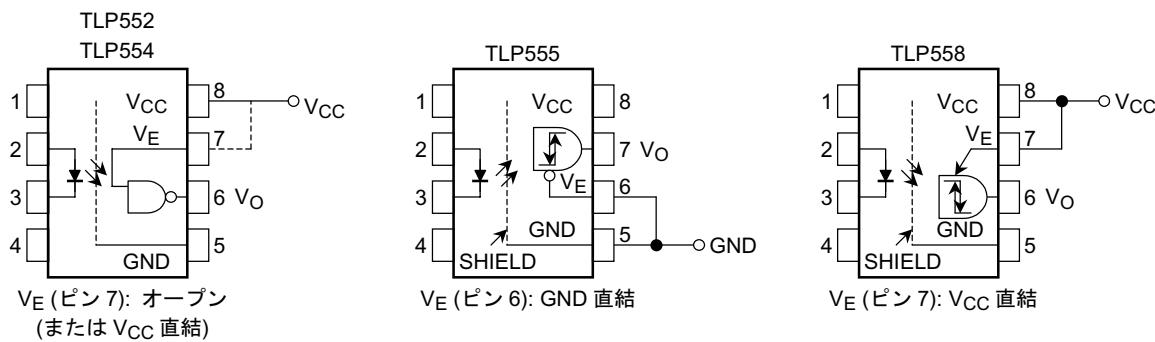


図 2.7.20

(2.3) フォトカプラの絶縁性能に関して

当社フォトカプラの絶縁性能の規定、性能維持は、1 分間の時間を基準にしており、長時間継続した高電圧を絶縁する目的とした使用には、一般にお勧めしておりません。このような可能性のある場合は、当社営業窓口までお問い合わせください。